

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 11-067752

(43)Date of publication of application : 09.03.1999

(51)Int.Cl.

H01L 21/316
H01L 21/76

(21)Application number : 09-215074

(71)Applicant : MITSUBISHI ELECTRIC CORP
RYODEN SEMICONDUCTOR SYST
ENG KK

(22)Date of filing : 08.08.1997

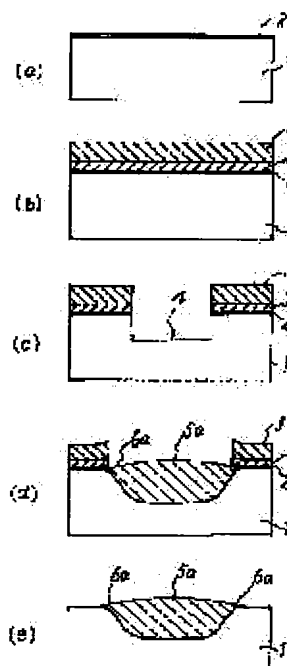
(72)Inventor : HAYASHI TOMOHIKO
OTSU YOSHITAKA
NAKAMURA TADASHI

(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PROBLEM TO BE SOLVED: To provide a process for manufacturing a semiconductor device which can suppress the bird's beak length of a device isolation oxide film, when the device isolation oxide film is formed by a LOCOS method and which can thus implement higher integration of a semiconductor integrated circuit.

SOLUTION: A nitride film 8 is formed thinly over the entire surface of a silicon substrate 1 by directly annealing the substrate 1 with NO gas. Then, an oxynitride film 2 and a silicon nitride film 3 are sequentially deposited on the resultant. The film 3, the film 2, the film 8 and further the substrate 1 are etched and patterned into a predetermined groove 4. Oxidation is thereafter effected on the resultant by a LOCOS method.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平11-67752

(43) 公開日 平成11年(1999) 3月9日

(51) Int.Cl.⁶
H 0 1 L 21/316
21/76

識別記号

F I
H 0 1 L 21/94
21/76
A
M

審査請求 未請求 請求項の数 8 O L (全 12 頁)

(21) 出願番号 特願平9-215074

(22) 出願日 平成9年(1997) 8月8日

(71) 出願人 000006013
三菱電機株式会社
東京都千代田区丸の内二丁目2番3号
(71) 出願人 591036505
菱電セミコンダクタシステムエンジニアリ
ング株式会社
兵庫県伊丹市瑞原4丁目1番地
(72) 発明者 林 朋彦
兵庫県伊丹市瑞原四丁目1番地 菱電セミ
コンダクタシステムエンジニアリング株式
会社内
(74) 代理人 弁理士 宮田 金雄 (外2名)

最終頁に続く

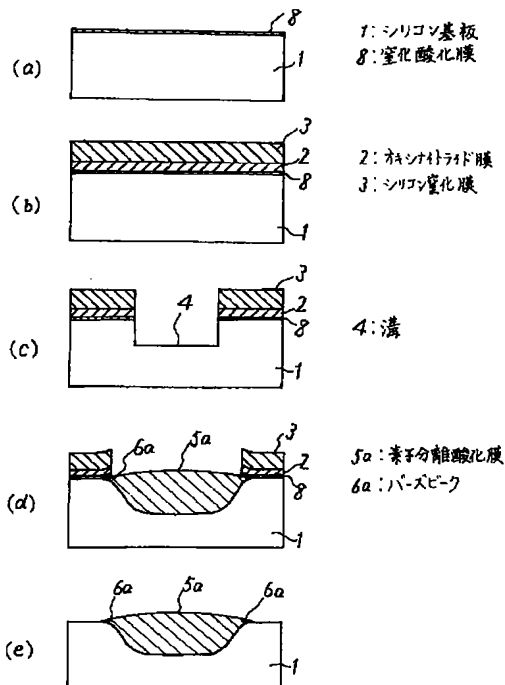
(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

【課題】 LOCOS法によって素子分離酸化膜を形成する際、素子分離酸化膜のバースピーク長が長くなると素子形成領域が縮小されてしまい、半導体集積回路の高集積化が図れないという問題点があった。

【解決手段】 シリコン基板1にNOガスによる直接アニールを施すことにより全面に窒化酸化膜8を薄く形成し、オキシナイトライド膜2、シリコン窒化膜3を順次堆積させる。シリコン窒化膜3、オキシナイトライド膜2および窒化酸化膜8さらにシリコン基板1をエッチングして所定の溝4形状にパターニングを行った後、LOCOS酸化を行う。

【効果】 バースピーク長の抑制ができ、半導体装置の高集積化が図れる。



【特許請求の範囲】

【請求項 1】 シリコン基板を NO ガスでアニールすることにより上記シリコン基板上に窒化酸化膜を形成する工程と、上記窒化酸化膜上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜と上記オキシナイトライド膜と上記窒化酸化膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜、オキシナイトライド膜および窒化酸化膜をマスクとして上記シリコン基板に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 2】 シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内に薄い酸化膜を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして NO ガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部的に上記薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 3】 パターンニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部的に薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程の後、パターンニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにした請求項 2 記載の半導体装置の製造方法。

【請求項 4】 シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内のシリコン基板を NO ガスで

アニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部的に上記窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 5】 パターンニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部的に窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程の後、パターンニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにした請求項 4 記載の半導体装置の製造方法。

【請求項 6】 シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜をマスクとして薄い酸化膜を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして NO ガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記薄い酸化膜と窒化酸化膜とを除去し、上記オキシナイトライド膜下部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えた半導体装置の製造方法。

【請求項 7】 シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜をマスクとして NO ガスでアニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより露出している上記窒化酸化膜を除去し、上記オキシナイトライド膜下部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程

とを備えた半導体装置の製造方法。

【請求項 8】 シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内に CVD 法により酸化膜を形成する工程と、上記酸化膜をエッチバックすることにより上記溝内側壁部にのみ上記酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして NO ガスでアニールし上記酸化膜とシリコン基板との界面付近および上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内側壁部の上記酸化膜と上記溝内底面部の上記窒化酸化膜とを除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えた半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】 この発明は半導体装置の製造方法に関し、特に LOCOS 法による素子分離領域の形成方法に関するものである。

【0002】

【従来の技術】 半導体集積回路では動作時に素子間の電氣的な干渉をなくし、個々の素子を完全に独立して制御するために素子分離の領域を形成する必要がある。この素子分離領域を形成する方法のひとつに LOCOS 法がある。

【0003】 図 10 (a) ~ (d) は LOCOS 法による従来の素子分離領域の形成方法を示す工程断面図である。図にしたがって順次説明を行う。まず、図 10

(a) に示すように、シリコン基板 1 の主表面上に CVD 法を用いて約 100 オングストロームのオキシナイトライド膜 2 を形成し、そのオキシナイトライド膜 2 上の全面に CVD 法で約 500 オングストロームのシリコン窒化膜 3 を形成する。

【0004】 次に、図 10 (b) に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜 3 およびオキシナイトライド膜 2 のエッチングを行い、さらにシリコン基板 1 を約 500 オングストローム程度エッチングして所定の溝 4 形状にパターンニングを行う。

【0005】 次に、図 10 (c) に示すように、パターンニングされたシリコン窒化膜 3 をマスクとしてシリコン基板 1 を選択酸化することによって露出している溝 4 内のシリコン基板 1 の主表面に選択的に素子分離酸化膜 5

を形成する。次に、図 10 (d) に示すように、熱リン酸などを用いてシリコン窒化膜 3 を除去し、続いてフッ酸などによってオキシナイトライド膜 2 を除去する。これによって素子分離酸化膜 5 による素子分離領域を形成する。

【0006】

【発明が解決しようとする課題】 LOCOS 法による従来の素子分離領域形成方法は以上の様であり、図 10

(c) に示すように、素子分離酸化膜 5 がオキシナイトライド膜 2 の下にまで入り込みバースピーク 6 が形成されてしまう。図 10 (d) に示すように、バースピーク 6 長が長くなると素子形成領域が縮小されてしまい、半導体集積回路の高集積化が図れないという問題点があった。

【0007】 この発明は上記のような問題点を解消するために成されたもので、LOCOS 法によって素子分離酸化膜を形成する際に素子分離酸化膜のバースピーク長を抑制することができ、半導体集積回路の高集積化が図れる半導体装置の製造方法を提供することを目的としている。

【0008】

【課題を解決するための手段】 この発明の請求項 1 に係る半導体装置の製造方法は、シリコン基板を NO ガスでアニールすることにより上記シリコン基板上に窒化酸化膜を形成する工程と、上記窒化酸化膜上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜と上記オキシナイトライド膜と上記窒化酸化膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜、オキシナイトライド膜および窒化酸化膜をマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0009】 この発明の請求項 2 に係る半導体装置の製造方法は、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内に薄い酸化膜を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして NO ガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部の上記薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜

とを残す工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0010】この発明の請求項3に係る半導体装置の製造方法は、パターニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部の薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程の後、パターニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにしたものである。

【0011】この発明の請求項4に係る半導体装置の製造方法は、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして上記溝内のシリコン基板をNOガスでアニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部的上記窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0012】この発明の請求項5に係る半導体装置の製造方法は、パターニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部的窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程の後、パターニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにしたものである。

【0013】この発明の請求項6に係る半導体装置の製造方法は、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜をマスクとして薄い酸化膜を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜

を形成することにより窒素を分布させる工程と、パターニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記薄い酸化膜と窒化酸化膜とを除去し、上記オキシナイトライド膜下部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程と、パターニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0014】この発明の請求項7に係る半導体装置の製造方法は、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより露出している上記窒化酸化膜を除去し、上記オキシナイトライド膜下部にのみ上記窒化酸化膜を残す工程と、パターニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0015】この発明の請求項8に係る半導体装置の製造方法は、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして上記溝内にCVD法により酸化膜を形成する工程と、上記酸化膜をエッチバックすることにより上記溝内側壁部にのみ上記酸化膜を残す工程と、パターニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記酸化膜とシリコン基板との界面付近および上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内側壁部的上記酸化膜と上記溝内底面部的上記窒化酸化膜とを除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたものである。

【0016】

【発明の実施の形態】

実施の形態1. 図1(a)～(e)はLOCOS法によるこの発明の半導体装置の素子分離領域の形成方法を示す工程断面図である。図にしたがって順次説明を行う。まず、図1(a)に示すように、シリコン基板1の主表面上にNO(一酸化窒素)ガスによる直接アニールを施すことにより全面に窒化酸化膜8を薄く形成する。次に、図1(b)に示すように、CVD法を用いて約10000Å程度のオキシナイトライド膜2を形成し、そのオキシナイトライド膜2上の全面にCVD法で約5000Å程度のシリコン窒化膜3を形成する。

【0017】次に、図1(c)に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜3、オキシナイトライド膜2および窒化酸化膜8のエッチングを行い、さらにシリコン基板1を深く約5000Å～50000Å程度にエッチングして所定の溝4形状にパターニングを行う。

【0018】次に、図1(d)に示すように、シリコン窒化膜3をマスクとしてシリコン基板1を選択酸化することによって露出しているシリコン基板1の主表面に選択的に素子分離酸化膜5aを形成する。このとき、窒化酸化膜8内に分布している窒素によって素子分離酸化膜5aの形成の際の横方向の酸化を抑制することができ、バースピーク6a長が抑制された素子分離酸化膜5aを形成することができる。

【0019】次に、図1(e)に示すように、熱リン酸などを用いてシリコン窒化膜3を除去し、続いてフッ酸などによってオキシナイトライド膜2および窒化酸化膜8を除去する。これによって素子分離酸化膜5aによる素子分離領域を形成する。このとき、熱リン酸でシリコン窒化膜3を除去する際、オキシナイトライド膜2に含まれる窒素が濃い場合にはシリコン窒化膜3と共にオキシナイトライド膜2も除去されてしまうことがあるが、その場合でも窒化酸化膜8がシリコン基板1の保護膜として働き、シリコン基板1へのエッチングによるダメージを防止することができる。更に、バースピーク6a長は抑制されているので素子分離酸化膜5aによって素子形成領域が縮小されることなく、半導体集積回路の高集積化が図れる。

【0020】実施の形態2. 図2(a)～(f)は実施の形態2の半導体装置の素子分離領域の形成方法を示す工程断面図である。図にしたがって順次説明を行う。まず、図2(a)に示すように、シリコン基板1の主表面上にCVD法を用いて約1000Å程度のオキシナイトライド膜2を形成し、そのオキシナイトライド膜2上の全面にCVD法で約500Å程度のシリコン窒化膜3を形成する。

【0021】次に、図2(b)に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜3お

よびオキシナイトライド膜2のエッチングを行い、さらにシリコン基板1を深く約5000Å～50000Å程度にエッチングして所定の溝4形状にパターニングを行う。

【0022】次に、図2(c)に示すように、パターニングされたシリコン窒化膜3をマスクとしてシリコン基板1を熱酸化することによって溝4内のシリコン基板1上に薄い酸化膜7を形成する。その後、NOガスを用いてアニールを行い薄い酸化膜7とシリコン基板1との界面付近に窒化酸化膜8を形成して、窒素を分布させる。次に、図2(d)に示すように、溝4内底面の薄い酸化膜7および窒化酸化膜8を異方性エッチングで除去して溝4側壁部にのみ薄い酸化膜7と窒化酸化膜8を残す。

【0023】次に、図2(e)に示すように、シリコン窒化膜3をマスクとしてシリコン基板1を選択酸化することによって溝4内の露出しているシリコン基板1の主表面に選択的に素子分離酸化膜5aを形成する。このとき、溝4側壁部には窒化酸化膜8が残存している。この窒化酸化膜8内に分布している窒素によって素子分離酸化膜5aの形成の際の横方向の酸化を抑制することができ、バースピーク6a長が抑制できた素子分離酸化膜5aを形成することができる。

【0024】次に、図2(f)に示すように、熱リン酸などを用いてシリコン窒化膜3を除去し、続いてフッ酸などによってオキシナイトライド膜2を除去する。これによって素子分離酸化膜5aによる素子分離領域を形成する。このとき、バースピーク6a長は抑制されているので素子分離酸化膜5aによって素子形成領域が縮小されることなく、半導体集積回路の高集積化が図れる。

【0025】実施の形態3. また、上記実施の形態2ではシリコン基板1に薄い酸化膜7を形成した後NOガスアニールを行う方法について説明を行ったが、シリコン基板に直接NOガスアニールを行っても良い。以下、図3を用いてこの方法について説明する。

【0026】図2(a)(b)と同様の工程を経た後、図3(a)に示すように、パターニングされたシリコン窒化膜3をマスクとしてシリコン基板1をNOガスを用いてシリコン基板1に直接アニールを行うことにより溝4内のシリコン基板1上に窒化酸化膜8を形成して、窒素を分布させる。次に、図3(b)に示すように、溝4内底面の窒化酸化膜8を異方性エッチングで除去して溝4側壁部にのみ窒化酸化膜8を残す。

【0027】続いて、図2(e)(f)と同様の工程を経て、素子分離酸化膜5aによる素子分離領域を形成する。このとき、溝4側壁部の窒化酸化膜8内に分布している窒素によって素子分離酸化膜5aの形成の際の横方向の酸化を抑制することができ、バースピーク6a長は抑制される。したがって、素子分離酸化膜5aによって素子形成領域が縮小されることなく、半導体集積回路の

高集積化が図れる。更に、薄い酸化膜 7 形成工程を省略することができ、工程が簡略化できる。

【0028】実施の形態 4. 図 4 (a) ~ (f) は実施の形態 4 の半導体装置の素子分離領域の形成方法を示す工程断面図である。図にしたがって順次説明を行う。まず、図 4 (a) に示すように、シリコン基板 1 の主表面上に CVD 法を用いて約 100 オングストロームのオキシナイトライド膜 2 を形成し、そのオキシナイトライド膜 2 上の全面に CVD 法で約 500 オングストロームのシリコン窒化膜 3 を形成する。

【0029】次に、図 4 (b) に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜 3 およびオキシナイトライド膜 2 のエッチングを行い、さらにシリコン基板 1 を実施の形態 2 の場合よりも浅く約 500 オングストローム未満程度エッチングして溝 4 a 形状にパターンニングを行う。

【0030】次に、図 4 (c) に示すように、パターンニングされたシリコン窒化膜 3 をマスクとしてシリコン基板 1 を熱酸化することによって溝 4 a 内のシリコン基板 1 上に薄い酸化膜 7 を形成する。その後、NO ガスを用いてアニールを行い薄い酸化膜 7 とシリコン基板 1 との界面付近に窒化酸化膜 8 を形成して、窒素を分布させる。次に、図 4 (d) に示すように、溝 4 a 内底面の薄い酸化膜 7 および窒化酸化膜 8 を異方性エッチングで除去して溝 4 a 側壁部にのみ薄い酸化膜 7 と窒化酸化膜 8 とを残す。その後、所定の溝 4 形状までシリコン基板 1 をエッチングする。

【0031】次に、図 4 (e) に示すように、シリコン窒化膜 3 をマスクとしてシリコン基板 1 を選択酸化することによって溝 4 内の露出しているシリコン基板 1 の主表面に選択的に素子分離酸化膜 5 a を形成する。このとき、溝 4 側壁上部、つまりバズビーク 6 a が形成されやすい部分にのみ窒化酸化膜 8 が残存している。この窒化酸化膜 8 内に分布している窒素によって素子分離酸化膜 5 a の形成の際の横方向の酸化を抑制することができ、バズビーク 6 a 長が抑制できた素子分離酸化膜 5 a を形成することができる。

【0032】次に、図 4 (f) に示すように、熱リン酸などを用いてシリコン窒化膜 3 を除去し、続いてフッ酸などによってオキシナイトライド膜 2 を除去する。これによって素子分離酸化膜 5 a による素子分離領域を形成する。このとき、実施の形態 3 と同様の効果が得られると共に、窒化酸化膜 8 つまり窒素分布がシリコン基板 1 の上部にのみ存在していることから素子分離酸化膜 5 a の形成の際の横方向の酸化をバズビーク 6 a 部分のみ抑制することができ、素子分離酸化膜 5 a を形成する際のストレスが緩和できる。

【0033】実施の形態 5. また、上記実施の形態 4 ではシリコン基板 1 に溝 4 a を浅く形成する方法について説明を行ったが、溝 4 a を形成しなくても良い。以下、

図 5 を用いてこの方法について説明する。

【0034】図 4 (a) の工程を経た後、図 5 (a) に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜 3 およびオキシナイトライド膜 2 のエッチングを行う。このとき、シリコン基板 1 のエッチングは行わない。次に、図 5 (b) に示すように、パターンニングされたシリコン窒化膜 3 をマスクとしてシリコン基板 1 を熱酸化することによってシリコン基板 1 上に薄い酸化膜 7 を形成する。その後、NO ガスを用いてアニールを行い薄い酸化膜 7 とシリコン基板 1 との界面付近に窒化酸化膜 8 を形成して、窒素を分布させる。次に、図 5 (c) に示すように、露出している薄い酸化膜 7 および窒化酸化膜 8 を異方性エッチングで除去してシリコン窒化膜 3 下部の薄い酸化膜 7 と窒化酸化膜 8 とを残す。その後、所定の溝 4 形状までシリコン基板 1 をエッチングする。

【0035】その後、図 4 (e) (f) の工程と同様にして、素子分離酸化膜 5 a による素子分離領域を形成する。このとき、実施の形態 4 と同様の効果が得られると共に、シリコン基板 1 にあらかじめ溝 4 a を形成する工程を省略することができ、工程を簡略化できる。

【0036】実施の形態 6. また、上記実施の形態 4, 5 ではシリコン基板 1 に薄い酸化膜 7 を形成した後 NO ガスアニールを行う方法について説明を行ったが、上記実施の形態 2 と同様にシリコン基板に直接 NO ガスアニールを行っても良い。以下、図 6, 7 を用いてこの方法について説明する。

【0037】図 4 (a) (b) の工程を経た後、図 6 (a), 図 7 (a) に示すように、パターンニングされたシリコン窒化膜 3 をマスクとしてシリコン基板 1 を NO ガスを用いてシリコン基板 1 に直接アニールを行うことによりシリコン基板 1 上に窒化酸化膜 8 を形成して、窒素を分布させる。次に、図 6 (b), 図 7 (b) に示すように、溝 4 a 内底面の窒化酸化膜 8 (図 6 (b)) または露出している窒化酸化膜 8 (図 7 (b)) を異方性エッチングで除去してシリコン窒化膜 3 下部に窒化酸化膜 8 を残す。その後、所定の溝 4 形状までシリコン基板 1 をエッチングする。

【0038】続いて、図 4 (e) (f) の工程を経て、素子分離酸化膜 5 a による素子分離領域を形成する。このとき、実施の形態 4 および 5 と同様の効果が得られる。

【0039】実施の形態 7. 図 8 および図 9 は実施の形態 7 の半導体装置の素子分離領域の形成方法を示す工程断面図である。図にしたがって順次説明を行う。まず、図 8 (a) に示すように、シリコン基板 1 の主表面上に CVD 法を用いて約 100 オングストロームのオキシナイトライド膜 2 を形成し、そのオキシナイトライド膜 2 上の全面に CVD 法で約 500 オングストロームのシリコン窒化膜 3 を形成する。

【0040】次に、図8（b）に示すように、写真製版技術およびエッチング技術を用いてシリコン窒化膜3およびオキシナイトライド膜2のエッチングを行い、さらにシリコン基板1を深く約500オングストローム～5000オングストローム程度エッチングして所定の溝4形状にパターニングを行う。

【0041】次に、図8（c）に示すように、全面にCVD法によりCVD酸化膜9を形成する。次に、図8（d）に示すように、CVD酸化膜9をエッチバックすることにより溝4側壁部にのみCVD酸化膜9を残す。このとき、CVD酸化膜9は溝4内の側壁上部は薄く、側壁下部ほど厚く形成されている。

【0042】次に、図9（a）に示すように、NOガスを用いてアニールを行いCVD酸化膜9とシリコン基板1との界面付近や溝4底部のシリコン基板1が露出している部分に窒化酸化膜8を形成して、窒素を分布させる。このとき、CVD酸化膜9の膜厚に反比例して窒化酸化膜8の膜厚が形成される。したがって、形成された窒化酸化膜8の膜厚は溝4内の側壁上部は厚く、側壁下部ほど薄く形成されることになる。つまり、溝4内の側壁上部は濃く、側壁下部ほど薄く窒素分布されることになる。

【0043】次に、図9（b）に示すように、異方性エッチングを行うことによりシリコン窒化膜3下部にのみ窒化酸化膜8を残す。次に、図9（c）に示すように、シリコン窒化膜3をマスクとしてシリコン基板1を選択酸化することによって溝4内の露出しているシリコン基板1の主表面に選択的に素子分離酸化膜5aを形成する。このとき、溝4側壁上部、つまりバンプ6aが形成されやすい部分に窒化酸化膜8が厚く形成され、窒素分布が濃く形成されているので、分布している窒素によって素子分離酸化膜5aの形成の際の横方向の酸化を抑制することができ、バンプ6a長が抑制できた素子分離酸化膜5aを形成することができる。

【0044】次に、図9（d）に示すように、熱リン酸などを用いてシリコン窒化膜3を除去し、続いてフッ酸などによってオキシナイトライド膜2を除去する。これによって素子分離酸化膜5aによる素子分離領域を形成する。このとき、実施の形態2と同様の効果が得られると共に、窒化酸化膜8つまり窒素分布がシリコン基板1の上部に濃く存在していることから素子分離酸化膜5aの形成の際の横方向の酸化をバンプ6a部分のみ大きく抑制することができ、素子分離酸化膜5aを形成する際のストレスが緩和できる。

【0045】

【発明の効果】以上のようにこの発明によれば、シリコン基板をNOガスでアニールすることにより上記シリコン基板上に窒化酸化膜を形成する工程と、上記窒化酸化膜上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施

すことにより上記シリコン窒化膜と上記オキシナイトライド膜と上記窒化酸化膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜、オキシナイトライド膜および窒化酸化膜をマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、窒化酸化膜内に分布している窒素によって素子分離酸化膜の形成の際の横方向の酸化を抑制することができ、バンプ6a長が抑制された素子分離酸化膜を形成することができ、素子形成領域が縮小されことなく、半導体集積回路の高集積化が図れる。更に、熱リン酸でシリコン窒化膜を除去する際、窒化酸化膜がシリコン基板の保護膜として働き、シリコン基板へのエッチングによるダメージを防止することができる。

【0046】また、シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターニングする工程と、パターニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板に溝を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとして上記溝内に薄い酸化膜を形成する工程と、パターニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜を形成することにより窒素を分布させる工程と、パターニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部の上記薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程と、パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、窒化酸化膜内に分布している窒素によって素子分離酸化膜の形成の際の横方向の酸化を抑制することができ、バンプ6a長が抑制された素子分離酸化膜を形成することができ、素子形成領域が縮小されことなく、半導体集積回路の高集積化が図れる。

【0047】パターニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部の薄い酸化膜と窒化酸化膜とを除去し、上記溝内側壁部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程の後、パターニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにしたので、溝側壁上部にのみ窒素分布でき、素子分離酸化膜の形成の際の横方向の酸化をバンプ6a部分のみ抑制することができ、素子分離酸化膜を形成する際のストレスが緩和できる。

【0048】シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内のシリコン基板をNOガスでアニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内底面部の上記窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、窒化酸化膜内に分布している窒素によって素子分離酸化膜の形成の際の横方向の酸化を抑制することができ、バズビーク長は抑制され、素子分離酸化膜によって素子形成領域が縮小されることなく、半導体集積回路の高集積化が図れる。更に、薄い酸化膜形成工程を省略することができ、工程が簡略化できる。

【0049】パターンニングされたシリコン窒化膜をマスクとして異方性エッチングを施すことにより溝内底面部の窒化酸化膜を除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程の後、パターンニングされた上記シリコン窒化膜をマスクとして更に上記溝底部のシリコン基板をエッチングする工程を備え、その後パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成するようにしたので、溝側壁上部にのみ窒素分布でき、素子分離酸化膜の形成の際の横方向の酸化をバズビーク部分のみ抑制することができ、素子分離酸化膜を形成する際のストレスが緩和できる。

【0050】シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜をマスクとして薄い酸化膜を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記薄い酸化膜とシリコン基板との界面付近に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記薄い酸化膜と窒化酸化膜とを除去し、上記オキシナイトライド膜下部にのみ上記薄い酸化膜と窒化酸化膜とを残す工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスク

として選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、溝側壁上部にのみ窒素分布でき、素子分離酸化膜の形成の際の横方向の酸化をバズビーク部分のみ抑制することができ、素子分離酸化膜を形成する際のストレスが緩和できる。更に、シリコン基板への溝形成を一度で行えるので工程を簡略化できる。

【0051】シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより露出している上記窒化酸化膜を除去し、上記オキシナイトライド膜下部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、溝側壁上部にのみ窒素分布でき、素子分離酸化膜の形成の際の横方向の酸化をバズビーク部分のみ抑制することができ、素子分離酸化膜を形成する際のストレスが緩和できる。更に、酸化膜の形成工程を省略でき、シリコン基板への溝形成を一度で行えるので工程を簡略化できる。

【0052】シリコン基板上にオキシナイトライド膜およびシリコン窒化膜を順次積層する工程と、写真製版およびエッチング技術を施すことにより上記シリコン窒化膜とオキシナイトライド膜とをパターンニングする工程と、パターンニングされた上記シリコン窒化膜とオキシナイトライド膜とをマスクとして上記シリコン基板上に溝を形成する工程と、パターンニングされた上記シリコン窒化膜をマスクとして上記溝内にCVD法により酸化膜を形成する工程と、上記酸化膜をエッチバックすることにより上記溝内側壁部にのみ上記酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとしてNOガスでアニールし上記酸化膜とシリコン基板との界面付近および上記シリコン基板上に窒化酸化膜を形成することにより窒素を分布させる工程と、パターンニングされた上記シリコン窒化膜をマスクとして異方性エッチングを施すことにより上記溝内側壁部の上記酸化膜と上記溝内底面部の上記窒化酸化膜とを除去し、上記溝内側壁部にのみ上記窒化酸化膜を残す工程と、パターンニングされた上記シリコン窒化膜をマスクとして選択酸化することにより上記溝内に素子分離酸化膜を形成する工程とを備えるようにしたので、酸化膜は溝内の側壁上部は薄く、側壁下部ほど厚く形成されるので窒化酸化膜の膜厚は溝内

の側壁上部は厚く、側壁下部ほど薄く形成され、パーズビークが形成されやすい部分に窒素分布が濃く形成されているので、素子分離酸化膜の形成の際の横方向の酸化をパーズビーク部分のみ大きく抑制することができ、素子分離酸化膜を形成する際のストレスが緩和できる。

【図面の簡単な説明】

【図 1】 この発明の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 2】 実施の形態 2 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 3】 実施の形態 3 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 4】 実施の形態 4 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 5】 実施の形態 5 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

*

* 【図 6】 実施の形態 6 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 7】 実施の形態 6 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

【図 8】 実施の形態 7 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

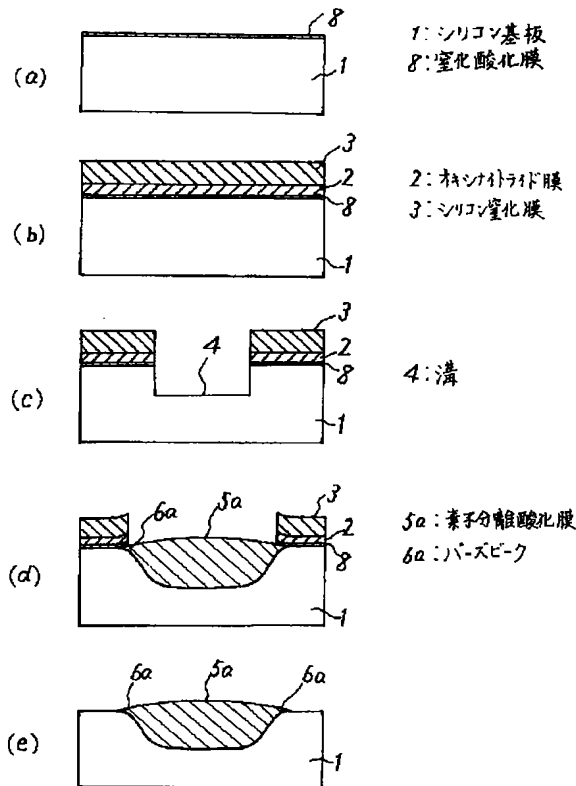
【図 9】 実施の形態 7 の半導体装置の素子分離領域の形成方法を示す工程断面図である。

10 【図 10】 従来の半導体装置の素子分離領域の形成方法を示す工程断面図である。

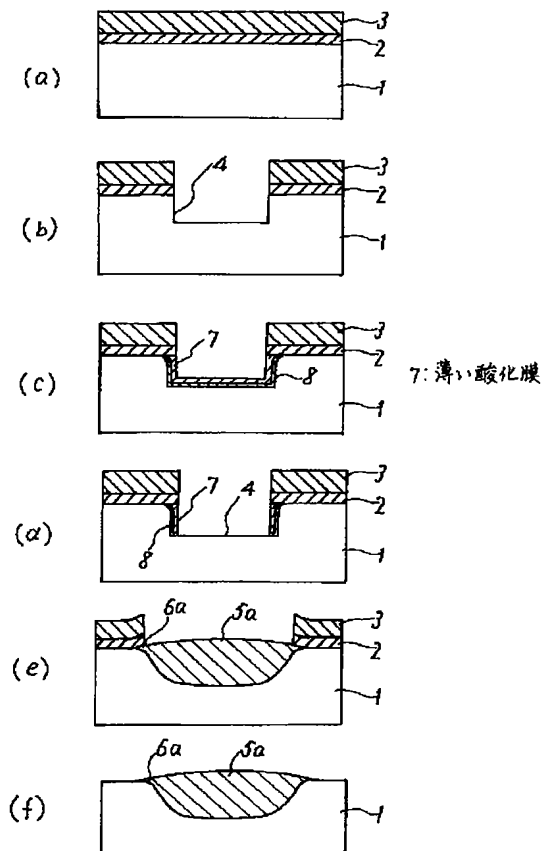
【符号の説明】

1 シリコン基板、2 オキシナイトライド膜、3 シリコン窒化膜、4、4a 溝、5a 素子分離酸化膜、6a パーズビーク、7 薄い酸化膜、8 窒化酸化膜、9 CVD酸化膜。

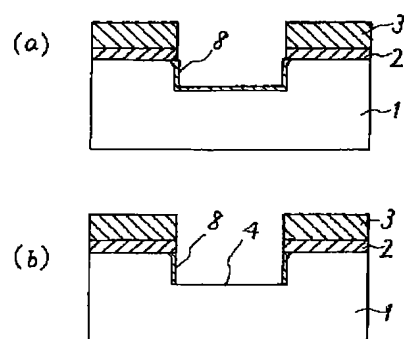
【図 1】



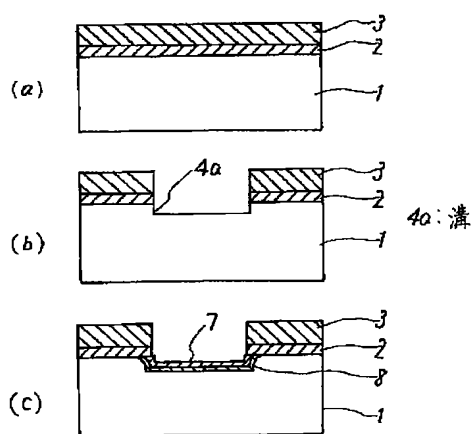
【図 2】



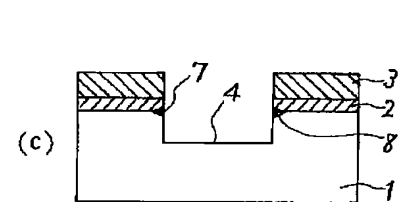
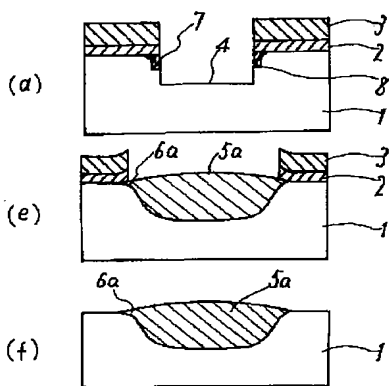
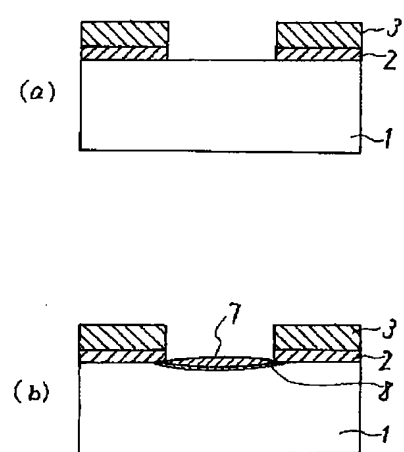
【図 3】



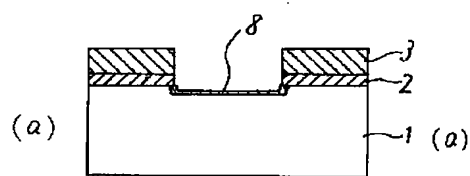
【図 4】



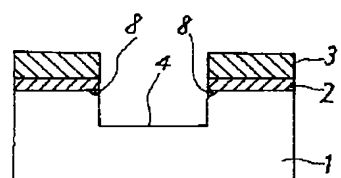
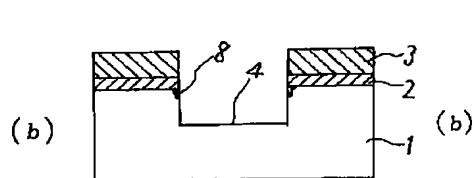
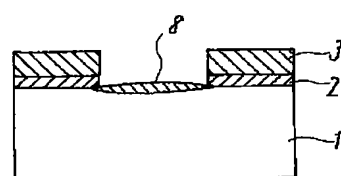
【図 5】



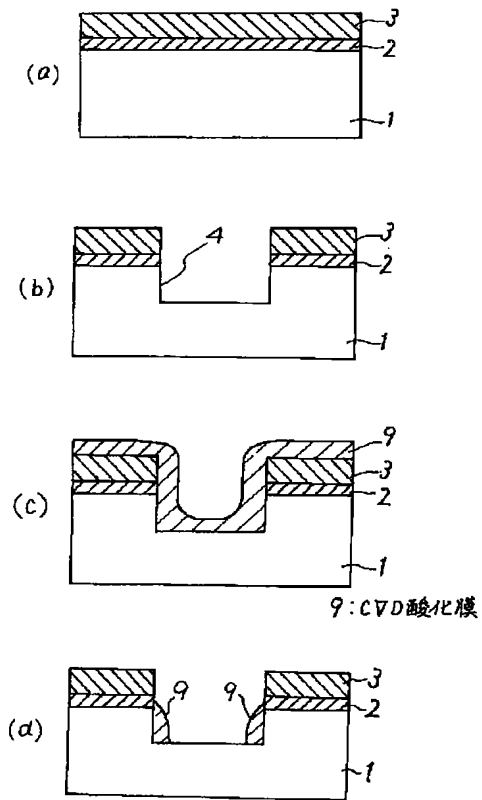
【図 6】



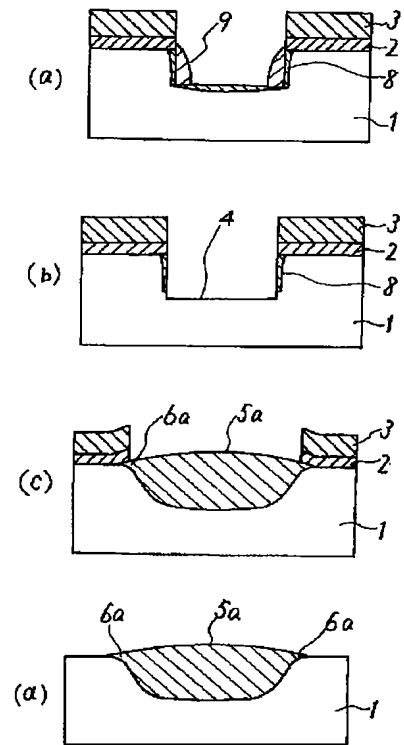
【図 7】



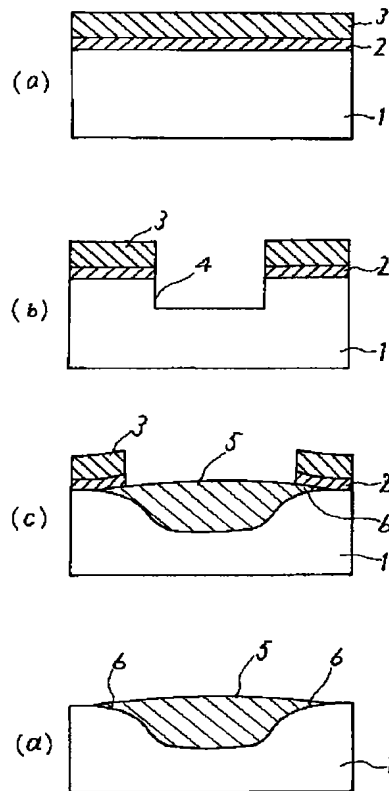
【図 8】



【図 9】



【図 10】



フロントページの続き

(72)発明者 大津 良孝
 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミ
 コンダクタシステムエンジニアリング株式
 会社内

(72)発明者 中村 正
 兵庫県伊丹市瑞原四丁目 1 番地 菱電セミ
 コンダクタシステムエンジニアリング株式
 会社内